

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274433

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 5 1

21/8242

4 5 1

27/10

4 5 1

29/78

3 7 1

21/8247

29/788

審査請求 未請求 請求項の数22 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-78939

(22) 出願日 平成10年(1998)3月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 福島 伸

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

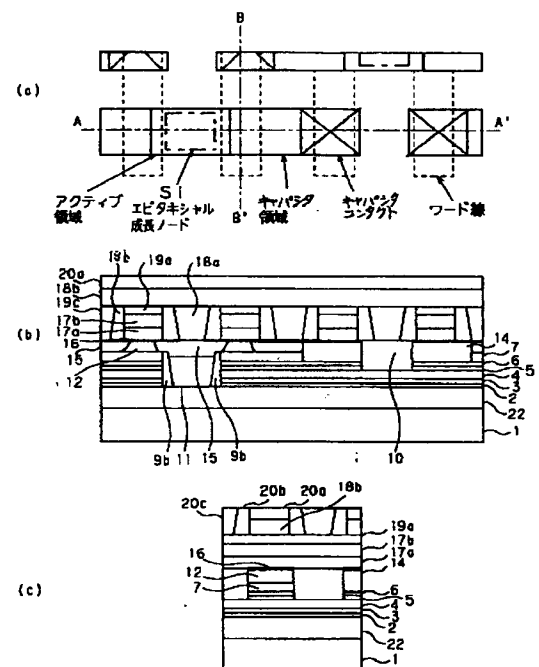
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 エピタキシャル・キャパシタを使用した半導体メモリにおいて、信頼性が高くかつ超高集積化が可能なメモリセルを提供すること。

【解決手段】 半導体基板1上に第一の電極膜3及び誘電体膜4をいずれもエピタキシャル成長させる工程と、誘電体膜4上に第二の電極膜5を形成してキャパシタとなる積層構造を形成する工程と、この積層構造の一部を除去して半導体基板1の表面を露出する工程と、この半導体基板1の露出表面11から単結晶半導体層12をエピタキシャル成長させる工程と、単結晶半導体層12にトランジスタを形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。



1

【特許請求の範囲】

【請求項 1】 半導体基板上に第一の電極膜及び誘電体膜をいずれもエピタキシャル成長させる工程と、前記誘電体膜上に第二の電極膜を形成してキャパシタとなる積層構造を形成する工程と、この積層構造の一部を除去して前記半導体基板の表面を露出する工程と、この半導体基板の露出表面から単結晶半導体層をエピタキシャル成長させる工程と、前記単結晶半導体層にトランジスタを形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項 2】 第二の電極膜の形成は、前記誘電体膜上におけるエピタキシャル成長により行うことを特徴とする請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 3】 前記積層構造の表面部分を全て絶縁膜で被覆する工程の後、前記単結晶半導体層をエピタキシャル成長させる工程を行うことを特徴とする請求項 1 又は 2 に記載の半導体記憶装置の製造方法。

【請求項 4】 前記積層構造の表面部分を全て絶縁膜で被覆する工程は、前記積層構造上に前記絶縁膜を形成する工程と、この絶縁膜を異方的にエッチングすることにより、前記積層構造の一部を除去して形成される当該積層構造の側壁部分に当該絶縁膜を残置する工程とを有することを特徴とする請求項 3 に記載の半導体記憶装置の製造方法。

【請求項 5】 前記絶縁膜に覆われた前記積層構造の領域が、前記トランジスタの素子分離領域を兼ねていることを特徴とする請求項 3 に記載の半導体記憶装置の製造方法。

【請求項 6】 前記単結晶半導体層のエピタキシャル成長方法として、前記半導体基板の露出表面上に選択的にエピタキシャルを行う選択成長法、及びアモルファス半導体層を堆積して固相エピタキシャル成長を行う固相成長法の少なくともいずれかの方法を用いることを特徴とする請求項 1 乃至 5 に記載の半導体記憶装置の製造方法。

【請求項 7】 前記単結晶半導体層をパターンニングしてトランジスタ領域を形成する工程、及び前記第二の電極膜をパターンニングする工程をさらに具備することを特徴とする請求項 1 乃至 6 に記載の半導体記憶装置の製造方法。

【請求項 8】 パターンニングにより形成された前記トランジスタ領域をマスクとして、前記第二の電極膜のパターンニングを行うことを特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 前記半導体基板の表面は平面であり、この平面上に前記第一の電極膜及び誘電体膜をいずれもエピタキシャル成長させることを特徴とする請求項 1 乃至 8 に記載の半導体記憶装置の製造方法。

【請求項 10】 前記半導体基板の表面に、該半導体基板の構成半導体の {100} 面で構成された内面を有す

2

る溝を形成する工程をさらに具備し、この溝の内部に前記第一の電極膜及び誘電体膜をいずれもエピタキシャル成長させることを特徴とする請求項 1 乃至 7 に記載の半導体記憶装置の製造方法。

【請求項 11】 前記第一の電極膜及び第二の電極膜の少なくとも一部が、立方晶結晶の(100)面か、又は正方晶結晶若しくは層状ペロブスカイト結晶の(001)面で構成されていることを特徴とする請求項 1 乃至 10 に記載の半導体記憶装置の製造方法。

10 【請求項 12】 前記誘電体膜の少なくとも一部が、立方晶ペロブスカイト結晶の(100)面か、又は正方晶若しくは層状ペロブスカイト結晶の(001)面で構成されていることを特徴とする請求項 1 乃至 11 に記載の半導体記憶装置の製造方法。

【請求項 13】 前記第一の電極膜及び第二の電極膜の少なくとも一部が、一般式 ABO_3 で表されるペロブスカイト型導電性酸化物、又は白金、金、パラジウム、イリジウム、ロジウム、レニウム、ルテニウム、これらの合金、若しくはこれらの酸化物からなることを特徴とする請求項 1 乃至 12 に記載の半導体記憶装置の製造方法。

20 【請求項 14】 前記誘電体膜が、一般式 ABO_3 で表されるペロブスカイト型結晶 (A は Ba, Sr, Ca からなる群より選ばれる少なくとも 1 種、B は Ti, Zr, Hf, Sn, $(Mg_{1/3}Nb_{2/3})$, $(Mg_{1/3}Ta_{2/3})$, $(Zn_{1/3}Nb_{2/3})$, $(Zn_{1/3}Ta_{2/3})$, $(Mg_{1/2}Te_{1/2})$, $(Co_{1/2}W_{1/2})$, $(Mg_{1/2}W_{1/2})$, $(Mn_{1/2}W_{1/2})$, $(Sc_{1/2}Nb_{1/2})$, $(Mn_{1/2}Nb_{1/2})$, $(Sc_{1/2}Ta_{1/2})$, $(Fe_{1/2}Nb_{1/2})$, $(In_{1/2}Nb_{1/2})$, $(Fe_{1/2}Ta_{1/2})$, $(Cd_{1/3}Nb_{2/3})$, $(Co_{1/3}Nb_{2/3})$, $(Ni_{1/3}Nb_{2/3})$, $(Co_{1/3}Ta_{2/3})$, $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれる少なくとも 1 種) からなることを特徴とする請求項 1 乃至 13 に記載の半導体記憶装置の製造方法。

【請求項 15】 前記半導体基板及び前記単結晶半導体層はシリコンからなることを特徴とする請求項 1 乃至 14 に記載の半導体記憶装置の製造方法。

40 【請求項 16】 半導体基板上にいずれもエピタキシャル成長した第一の電極及び誘電体膜、並びに第二の電極から構成されたキャパシタと、このキャパシタ間の前記半導体基板表面からエピタキシャル成長した単結晶半導体層に形成され、前記キャパシタと電気的に接続されたトランジスタとを具備することを特徴とする半導体記憶装置。

【請求項 17】 前記キャパシタと前記トランジスタとを電気的に絶縁する絶縁膜が前記キャパシタの側壁に設けられ、当該絶縁膜は絶縁膜堆積後の異方性エッチング法により形成されたものであることを特徴とする請求項

50

3

16に記載の半導体記憶装置。

【請求項18】 前記キャパシタは前記トランジスタ上に形成されていることを特徴とする請求項16又は17に記載の半導体記憶装置。

【請求項19】 前記トランジスタは、前記キャパシタのうち隣接する2つキャパシタの間に挟まれて形成されていることを特徴とする請求項16又は17に記載の半導体記憶装置。

【請求項20】 前記半導体基板の表面は平面であり、この平面上に前記第一の電極及び誘電体膜がいずれもエピタキシャル成長していることを特徴とする請求項16乃至19に記載の半導体記憶装置。

【請求項21】 前記半導体基板の表面には、該半導体基板の構成半導体の{100}面で構成された内面を有する溝が形成され、この溝の内部に前記第一の電極及び誘電体膜がいずれもエピタキシャル成長していることを特徴とする請求項16乃至19に記載の半導体記憶装置。

【請求項22】 前記第二の電極は前記誘電体膜上にエピタキシャル成長していることを特徴とする請求項16乃至21に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ペロブスカイト型結晶構造などを有する誘電性材料からなる誘電体膜を具備したキャパシタを用いた半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】最近、記憶媒体として強誘電体薄膜を用いた記憶装置（強誘電体メモリ）の開発が行われており、一部にはすでに実用化されている。強誘電体メモリは不揮発性であり、電源を落とした後も記憶内容が失われない。しかも、膜厚が充分薄い場合には自発分極の反転が速く、DRAM並みに高速の書き込み、読み出しが可能であるなどの特徴を持つ。また、1ビットのメモリセルを一つのトランジスタと一つの強誘電体キャパシタで作成することができるため、大容量化にも適している。

【0003】強誘電体メモリに適した強誘電体薄膜には、残留分極が大きいこと、残留分極の温度依存性が小さいこと、残留分極の長時間保持が可能であること（リテンション）などが必要である。

【0004】現在強誘電体材料としては、主としてジルコン酸チタン酸鉛（PZT）が用いられているが、キュリー温度の高さ（300℃以上）や自発分極の大きさにもかかわらず、主成分であるPbの拡散および蒸発が比較的低い温度で起こりやすい（500℃）などのために、微細化には対応しにくいといわれている。

【0005】これに対して本発明者らは、基板としてチタン酸ストロンチウム単結晶（SrTiO₃、以下STOと略

4

称。）を、下部電極として例えばルテニウム酸ストロンチウム（SrRuO₃以下SROと略称。）を、さらに誘電体としてSROよりやや大きな格子定数を持つ例えば、チタン酸バリウムストロンチウム（Ba_xSr_{1-x}TiO₃、以下BSTOと略称。）を選択し、かつまたRFマグネトロン・スパッタ法という成膜過程でミスフィット転位が比較的入りにくい成膜方法を採用して、全てエピタキシャル成長させた。

【0006】かかる成膜法により形成された薄膜においては、膜厚200nm以上の比較的厚い膜厚をもつものであっても、エピタキシャル効果によりBSTOを歪格子とすることにより、BSTOのc軸長を人工的に制御できることを見出した。その結果、Baリッチ組成のBSTOを使用することによって、強誘電キュリー温度が高温側にシフトし、室温領域で大きな残留分極を示し、かつ85℃程度まで温度を上げてても十分大きな残留分極を保持できる、FRAMとして非常に好ましい強誘電体薄膜が実現可能であることを確認している。

【0007】また同様に、Srリッチ組成のBSTOを使用することにより、多結晶膜でキャパシタを作成したときの誘電率（例えば、膜厚20nmで誘電率200程度。）の数倍の800以上に達する誘電率を持つキャパシタを作成することができ、DRAMとして非常に好ましい誘電特性を実現できることを実験的に確認している。

【0008】このエピタキシャル成長させた誘電体薄膜を使用した薄膜キャパシタを用いて、FRAMやDRAMなどの半導体メモリを構成することができ、その実用化が期待されている。

【0009】

【発明が解決しようとする課題】半導体メモリとして実用化するためには、ただだか20mm径程度の大きさの基板しか得られないSTO基板に替わり、Si等の半導体からなる基板上に上記のエピタキシャルキャパシタとトランジスタを高密度に作成することが必要である。

【0010】代表的な公知例として、予めトランジスタを形成したSi基板上に、トランジスタを覆う層間絶縁膜を形成し、この層間絶縁膜にトランジスタの電極上に開口部（コンタクトホール）を設け、開口部内に気相からの選択エピタキシャル成長により、又は非晶質層を形成してこの非晶質層からの固相エピタキシャル成長により単結晶Siプラグを作製し、その上にエピタキシャル薄膜キャパシタを作成する方法（特開平8-139292）が挙げられる。この方法は、トランジスタの電極直上に積層してエピタキシャル薄膜キャパシタを作製することができるため、構造上は最も高集積化には適する。

【0011】しかしながら、かかる方法により高集積化した半導体記憶装置においては、トランジスタの電極上に形成したコンタクトホールの深さと幅のアスペクト比が大きくなるとともに、トランジスタ上のワード線、その上の層間絶縁膜、ビット線、その上の層間絶縁膜と何

段にも渡ってコンタクトプラグを作成する必要がある。さらに、選択エピタキシャル成長においては成長温度が高温ほど選択性が高まるが、トランジスタの耐熱性から 750-800℃程度以上には上げられないという問題点もある。

【0012】したがって、このような大きなアスペクト比を持つコンタクトホール底面のみから、何段にも渡って単結晶シリコンプラグを選択エピタキシャル成長ないしは固相エピタキシャル成長させるためのプロセスウインドウは非常に狭く、一つのメモリデバイスの中に数十メガ個以上の数のプラグを作製する際の歩留まりを考慮すると、クリアすべき技術課題が大きい。

【0013】また、他の作成法として、SOI基板を使用した方法が挙げられる。この方法では、予めエピタキシャル・キャパシタを形成した第一のシリコン基板の上に、トランジスタを形成する第二のシリコン基板を貼り合わせ、研磨等の方法により薄膜化し、第一のシリコン基板上のキャパシタの電極と第二のシリコン基板上の電極を接続するためのコンタクトプラグを形成し、第二のシリコン基板の上にトランジスタを形成する。この方法は、エピタキシャル・キャパシタとトランジスタを別々のシリコン基板の上に形成するために作成が容易であり、またエピタキシャル・キャパシタとトランジスタを直上に積層して作製することができるため、構造上は高集積化に適する。

【0014】しかしながら、上記方法では基板同士の接着面を介してキャパシタとトランジスタの間で接続をとる必要があり、接着層にボイドなどが残ると不良となるために、接着の完全性が要求される。また、キャパシタとトランジスタを別々に加工するためにリソグラフィの位置合わせが難しいという問題点もあり、これらを考慮すると、クリアすべき技術課題が大きい。

【0015】本発明は、エピタキシャル効果を利用して強誘電性を発現した強誘電体薄膜、あるいはエピタキシャル効果により誘電率を増大させた高誘電率薄膜を使用した半導体記憶装置において、作成方法が容易で、かつ高集積化が可能な半導体記憶装置、及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記した問題を解決するために本発明は、半導体基板上に第一の電極膜及び誘電体膜をいずれもエピタキシャル成長させる工程と、前記誘電体膜上に第二の電極膜を形成してキャパシタとなる積層構造を形成する工程と、この積層構造の一部を除去して前記半導体基板の表面を露出する工程と、この半導体基板の露出表面から単結晶半導体層をエピタキシャル成長させる工程と、前記単結晶半導体層にトランジスタを形成する工程とを具備することを特徴とする半導体記憶装置の製造方法を提供する。

【0017】かかる発明において、以下の態様が望まし

い。

(1) 第二の電極膜の形成は、前記誘電体膜上におけるエピタキシャル成長により行うこと。

【0018】(2) 前記積層構造の表面部分を全て絶縁膜で被覆する工程の後、前記単結晶半導体層をエピタキシャル成長させる工程を行うこと。

(3) 前記積層構造の表面部分を全て絶縁膜で被覆する工程は、前記積層構造上に前記絶縁膜を形成する工程と、この絶縁膜を異方的にエッチングすることにより、前記積層構造の一部を除去して形成される当該積層構造の側壁部分に当該絶縁膜を残置する工程とを有すること。

【0019】(4) 前記絶縁膜に覆われた前記積層構造の領域が、前記トランジスタの素子分離領域を兼ねていること。

(5) 前記単結晶半導体層のエピタキシャル成長方法として、前記半導体基板の露出表面上に選択的にエピタキシャルを行う選択成長法、及びアモルファス半導体層を堆積して固相エピタキシャル成長を行う固相成長法の少なくともいずれかの方法を用いること。

【0020】(6) 前記単結晶半導体層をパターニングしてトランジスタ領域を形成する工程、及び前記第二の電極膜をパターニングする工程をさらに具備すること。

(7) パターニングにより形成された前記トランジスタ領域をマスクとして、前記第二の電極膜のパターニングを行うこと。

【0021】(8) 前記半導体基板の表面は平面であり、この平面上に前記第一の電極膜及び誘電体膜をいずれもエピタキシャル成長させること。

(9) 前記半導体基板の表面に、該半導体基板の構成半導体の {100} 面で構成された内面を有する溝を形成する工程をさらに具備し、この溝の内部に前記第一の電極膜及び誘電体膜をいずれもエピタキシャル成長させること。

【0022】(10) 前記第一の電極膜及び第二の電極膜の少なくとも一部が、立方晶結晶の(100)面か、又は正方晶結晶若しくは層状ペロブスカイト結晶の(001)面で構成されていること。

【0023】(11) 前記誘電体膜の少なくとも一部が、立方晶ペロブスカイト結晶の(100)面か、又は正方晶若しくは層状ペロブスカイト結晶の(001)面で構成されていること。

【0024】(12) 前記第一の電極膜及び第二の電極膜の少なくとも一部が、一般式 ABO_3 で表されるルテニウム酸ストロンチウムやモリブデン酸ストロンチウムなどのペロブスカイト型導電性酸化物、又は白金、金、パラジウム、イリジウム、ロジウム、レニウム、ルテニウム、これらの合金、若しくはこれらの酸化物からなること。

7

【0025】(13) 前記誘電体膜が、一般式 ABO_3 で表されるペロブスカイト型結晶(AはBa, Sr, Caからなる群より選ばれる少なくとも1種、BはTi, Zr, Hf, Sn, $(Mg_{1/3}Nb_{2/3})$, $(Mg_{1/3}Ta_{2/3})$, $(Zn_{1/3}Nb_{2/3})$, $(Zn_{1/3}Ta_{2/3})$, $(Mg_{1/2}Te_{1/2})$, $(Co_{1/2}W_{1/2})$, $(Mg_{1/2}W_{1/2})$, $(Mn_{1/2}W_{1/2})$, $(Sc_{1/2}Nb_{1/2})$, $(Mn_{1/2}Nb_{1/2})$, $(Sc_{1/2}Ta_{1/2})$, $(Fe_{1/2}Nb_{1/2})$, $(In_{1/2}Nb_{1/2})$, $(Fe_{1/2}Ta_{1/2})$, $(Cd_{1/3}Nb_{2/3})$, $(Co_{1/3}Nb_{2/3})$, $(Ni_{1/3}Nb_{2/3})$, $(Co_{1/3}Ta_{2/3})$, $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれる少なくとも1種)からなること。

【0026】(14) 前記半導体基板及び前記単結晶半導体層はシリコンからなること。また、本発明は、半導体基板上にいずれもエピタキシャル成長した第一の電極及び誘電体膜、並びに第二の電極から構成されたキャパシタと、このキャパシタ間の前記半導体基板表面からエピタキシャル成長した単結晶半導体層に形成され、前記キャパシタと電気的に接続されたトランジスタとを具備することを特徴とする半導体記憶装置を提供する。

【0027】かかる発明において、以下の態様が望ましい。

(1) 前記キャパシタと前記トランジスタとを電気的に絶縁する絶縁膜が前記キャパシタの側壁に設けられ、当該絶縁膜は絶縁膜堆積後の異方性エッチング法により形成されたものであること。

【0028】(2) 前記キャパシタは前記トランジスタ上に形成されていること。

(3) 前記トランジスタは、前記キャパシタのうち隣接する2つキャパシタの間に挟まれて形成されていること。

【0029】(4) 前記半導体基板の表面は平面であり、この平面上に前記第一の電極及び誘電体膜がいずれもエピタキシャル成長していること。

(5) 前記半導体基板の表面には、該半導体基板の構成半導体の{100}面で構成された内面を有する溝が形成され、この溝の内部に前記第一の電極及び誘電体膜がいずれもエピタキシャル成長していること。

【0030】(6) 前記第二の電極は前記誘電体膜上にエピタキシャル成長していること。

(7) 前記キャパシタ上に絶縁膜が形成され、この絶縁膜に覆われた領域が前記トランジスタの素子分離領域を兼ねていること。

【0031】(8) 前記第一の電極及び第二の電極の少なくとも一部が、立方晶結晶の(100)面か、又は正方晶結晶若しくは層状ペロブスカイト結晶の(001)面で構成されていること。

【0032】(9) 前記誘電体膜の少なくとも一部

8

が、立方晶ペロブスカイト結晶の(100)面か、又は正方晶若しくは層状ペロブスカイト結晶の(001)面で構成されていること。

【0033】(10) 前記第一の電極及び第二の電極の少なくとも一部が、一般式 ABO_3 で表されるルテニウム酸ストロンチウムやモリブデン酸ストロンチウムなどのペロブスカイト型導電性酸化物、又は白金、金、パラジウム、イリジウム、ロジウム、レニウム、ルテニウム、これらの合金、若しくはこれらの酸化物からなること。

【0034】(11) 前記誘電体膜が、一般式 ABO_3 で表されるペロブスカイト型結晶(AはBa, Sr, Caからなる群より選ばれる少なくとも1種、BはTi, Zr, Hf, Sn, $(Mg_{1/3}Nb_{2/3})$, $(Mg_{1/3}Ta_{2/3})$, $(Zn_{1/3}Nb_{2/3})$, $(Zn_{1/3}Ta_{2/3})$, $(Mg_{1/2}Te_{1/2})$, $(Co_{1/2}W_{1/2})$, $(Mg_{1/2}W_{1/2})$, $(Mn_{1/2}W_{1/2})$, $(Sc_{1/2}Nb_{1/2})$, $(Mn_{1/2}Nb_{1/2})$, $(Sc_{1/2}Ta_{1/2})$, $(Fe_{1/2}Nb_{1/2})$, $(In_{1/2}Nb_{1/2})$, $(Fe_{1/2}Ta_{1/2})$, $(Cd_{1/3}Nb_{2/3})$, $(Co_{1/3}Nb_{2/3})$, $(Ni_{1/3}Nb_{2/3})$, $(Co_{1/3}Ta_{2/3})$, $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれる少なくとも1種)からなること。

【0035】(12) 前記半導体基板及び前記単結晶半導体層はシリコンからなること。上記した発明において、代表的な製造方法としては、Si(100)基板の表面に、バリア金属、下部電極、誘電体膜、上部電極、およびバリア金属を順にエピタキシャル成長してキャパシタを作成し、第1の絶縁膜で被覆し、この積層膜をパターニングし基板まで開口することにより、エピタキシャルSi層成長用の開口部を形成する。

【0036】次に、前記積層膜を第2の絶縁膜で覆い、異方性エッチングによりキャパシタの側壁部以外の第2の絶縁膜を除去し、開口部から選択成長CVD法によりSi単結晶層をキャパシタの上部部分まで作成し、ケミカル・メカニカル・ポリッシング(CMP)法により研磨を行って薄膜シリコン層を形成する。その後は、通常のトランジスタプロセスにより、素子分離層、トランジスタ、ワード線、ビット線等を形成する。また、シリコン層の下にある誘電体膜キャパシタのメモリセル毎の個別の上部電極とトランジスタのソース/ドレイン電極の一方とを、接続部(コンタクトプラグ)を介して電気的に接続する。

【0037】なお、キャパシタの蓄積容量を大きくする目的で、キャパシタを立体セルにする場合は、まず、シリコン基板に(100)面で囲まれたトレンチを作成し、トレンチ内にエピタキシャル・キャパシタを作成し、それ以降は上述と同様の方法で作成することができる。

【0038】このような構造により、ギガビット以上の

超高集積化したFRAMあるいはDRAMを製造工程を複雑にすることなく実現できる。以上述べた本発明によれば、まず半導体基板上にエピタキシャル・キャパシタを作成した後に、単結晶半導体層およびトランジスタを形成するために、以下に述べるような種々の利点がある。

【0039】まず第1点として、Si基板の貼り合わせなど確立されていない技術を使用することなく、キャパシタとトランジスタとを立体的に積層したり、あるいはセルフアライン的に隣接して配置することが可能となるため、ギガビット以上の超高集積メモリに特に適している。

【0040】第2点として、成長時に歪を導入したエピタキシャル・キャパシタをシリコン基板全面に成長させるために成膜が容易であり、またその後の加工においても単結晶シリコンの成長用ノード（上記開口部に相当。）以外のところは誘電体膜が連続して残るため、導入した歪の緩和が生じにくいという特徴がある。

【0041】第3点として、単結晶シリコンのエピタキシャル層を作成するプロセス温度として、先にトランジスタを作成した場合はトランジスタの耐熱温度であるおよそ800℃以下にする必要があるが、本発明では先にエピタキシャル・キャパシタを作成するために、900℃以上のキャパシタの耐熱温度までの高温プロセスを使用することができ、特に選択成長エピタキシャルCVDプロセスを選んだ場合には高温ほど選択比が上がるために有利になる。

【0042】第4点として、単結晶シリコンのエピタキシャル層を作成する際に、先にトランジスタを作成した場合は、2以上の大きなアスペクト比のコンタクトホールを何段にも渡って選択成長で埋め込む必要があるが、本発明ではエピタキシャル・キャパシタを先に作成し、かつキャパシタの全厚が100nm以下と非常に薄いために、アスペクト比が1以下の浅いコンタクトホールを1段のみ埋め込むだけで良く、格段に単結晶Si埋め込みプロセスが容易になる。

【0043】第5点として、エピタキシャル・キャパシタを覆った絶縁層上にトランジスタをSOI構造で作成することができ、トランジスタの高速動作も可能になる。第6点として、キャパシタ上にトランジスタが薄い絶縁層を介して積層されているため、トランジスタとキャパシタの上部電極の素子分離を行う場合に、同一のマスクを使用してパターンニングすることが可能であり、位置合せの精度という点で作成が容易になる。

【0044】以上述べたように、本発明によれば、エピタキシャル成長時に導入される歪により誘起された強誘電体膜や高誘電率膜を使用したキャパシタとトランジスタを高度に集積することが可能になり、信頼性の高い超高集積化したFRAMやDRAMを作成することが可能になる。

【0045】

【発明の実施の形態】以下、本発明の実施形態を図面を参照しつつ詳細に説明する。

第1の実施形態

図1(a)-(c)は、本発明の第1の実施形態による半導体記憶装置の構成を示す図である。この図に示すように、本実施形態の装置は平面構造キャパシタを使用し、キャパシタ上のエピタキシャルSi層にトランジスタを作成したFRAMの例であり、図1(a)-(c)はそれぞれFRAMの平面図、A-A'断面図、およびB-B'断面図である。

【0046】図1に示すように、第一導電型半導体基板1にはこれと反対導電型のプレート電極となる不純物拡散層22が形成され、その上には下部バリア金属層2、下部電極3、誘電体薄膜4、上部電極5、上部バリア金属層6がエピタキシャル成長により積層している。上部電極5及び上部バリア金属層6はエピタキシャル成長している必要はない。上部バリア金属層6上には第一の絶縁膜7が積層され、以上の積層構造の側壁には第二の絶縁膜9bが選択的に形成されている。

【0047】11は単結晶Si層成長用ノード（シード部又は開口部。）であり、このノード11からは単結晶Si層12がエピタキシャル成長により上記キャパシタ積層構造上にわたって形成されている。この単結晶Si層12にはトランジスタが形成されている。15はソース／ドレイン電極、16はゲート絶縁膜、17a、17bはワード線（ゲート）を構成する導電膜であり、例えば17aは不純物添加ポリシリコン、17bはメタルシリサイドからなる。このワード線の上にはキャップ絶縁膜19aが形成されており、かかるワード線（ゲート）積層構造の側壁には絶縁膜19bが選択的に形成され、さらにワード線間には絶縁膜19cが形成されている。ソース／ドレイン電極15にはビット線コンタクトプラグ18aが形成され、これと接続してビット線18bがトランジスタ上に配設される。このビット線上にもキャップ絶縁膜20aが形成されており、かかるビット線積層構造の側壁には絶縁膜20bが選択的に形成され、さらにビット線間には絶縁膜20cが形成されている。

【0048】また、10は隣接するトランジスタ及び隣接するキャパシタ上部電極を電気的に分離する素子間分離絶縁膜であり、この絶縁膜10の両側にはトランジスタのソース／ドレイン電極とキャパシタの上部電極とを電気的に接続するためのコンタクトプラグ14が形成されている。コンタクトプラグ14は接続孔13の内部に埋め込まれている。

【0049】以下、上記半導体記憶装置の製造工程を図2及び図3の製造工程順の模式断面図を使用して説明する。まず図2(a)に示すように、第1導電型のSi(100)基板1の表面に深さ0.1μm程度の不純物拡散層22を形成した後、下部バリア金属層2として膜厚10nmの(T

i, Al) N、下部電極 3 として膜厚 20nm の SrRuO₃、誘電体膜 4 として Ba のモル分率 70% で厚さ 20nm の BSTO 薄膜、上部電極 5 として厚さ 20nm の SrRuO₃ 膜、さらに上部バリア金属層 6 として膜厚 10nm の (Ti, Al) N を、基板温度 600℃ で RF あるいは DC スパッタ法により大気中に出さずに連続してエピタキシャル成長し、さらに第一の絶縁膜 7 を TEOS (テトラエトキシシラン) ガスを原料としたプラズマ CVD 法等により形成した。

【0050】次に図 2(b) に示すように、単結晶 Si 成長用ノード 11 をリソグラフィおよび RIE などによるエッチングにより形成した。次に第二の絶縁膜 8 をコンフォーマルに形成した。

【0051】次に図 2(c) に示すように、素子間分離絶縁膜形成部 9 上に図示しないマスクを形成し、このマスクに沿って、異方性 RIE により第二の絶縁膜を除去することにより、素子間分離絶縁膜形成部 9 及び単結晶 Si 成長用ノード 11 の側壁部分にそれぞれ絶縁膜 9a、9b をセルフアラインにより残した。

【0052】次に、図 2(d) に示すように、Si 表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングを行った後、そのまま真空中で CVD 室に搬送し、1mTorr の圧力の SiH₄ ガスとドナーとして加えた 0.1mTorr の AsH₃ ガスを使用して 750℃ で、単結晶 Si 成長用ノード 11 から選択エピタキシャル成長により単結晶 Si 層 12 を形成した。さらに、絶縁膜 9a を停止層として CMP 法 (化学的機械的研磨法) により平坦化した。

【0053】次に、図 3(a) に示すように、Si 層 12 をマスクとして RIE 法等により素子間分離部の絶縁膜 9a、絶縁膜 7、上部バリア金属層 6、および上部電極 5 を選択的に除去し、素子間分離用溝を作成した。なお、このときに選択的湿式エッチングなどを併用しても良い。次に素子間分離用溝に絶縁膜を埋めこみ、CMP により平坦化し、素子間分離用絶縁膜 10 を形成した。なお、この時、上部バリア金属層 6 および上部電極 5 のより完全な分離をするために、単結晶 Si 成長用ノード 11 のワード線に沿った方向の幅よりも狭い幅のトランジスタ領域となるように上記した選択的除去を行うこともできる。

【0054】次に、図 3(b) に示すように、フォトリソグラフィ法と RIE 法などのプラズマエッチング法を用いて、選択的に Si 膜 12 及び絶縁膜 7 をエッチング除去し、キャパシタのコンタクト用開口部 13 を開口した。このときのエッチング条件としては、上部バリア金属層 6 又は上部電極 5 のいずれかをストッパーとして用いて選択的にストップさせると良い。さらに、全面に例えば N⁺ 型不純物を含んだポリ Si 膜を約 200nm 程度の膜厚で堆積し、全面を CMP などの方法でエッチバックすることにより、接続孔 13 に N⁺ ポリ Si 層からなるコンタクトプラグ 14 を形成した。

【0055】次に、図 3(c) に示すように、公知のプロセスを使用して、不純物拡散層 15、ゲート酸化膜 16、ワード線 17a、17b からなるトランジスタ、及びビット線コンタクトプラグ 18a、ビット線 18b 等を形成した。

【0056】このような工程により、強誘電体膜を使用したキャパシタとトランジスタからなるメモリセルを容易に高度に集積して作成することができ、また FRAM としての高性能な動作が確認された。

【0057】第 2 の実施形態

図 4(a)-(c) は、本発明の第 2 の実施形態による半導体記憶装置の構成を示す図である。この図に示すように、本実施形態の装置は、平面構造の強誘電体キャパシタとトランジスタを隣接して作成し、最小加工寸法を f とすると単一メモリセル当たり 3f × 3f の面積のメモリセルを構成した FRAM の例である。図 4(a)-(c) はそれぞれ FRAM の平面図、A-A' 断面図、および B-B' 断面図である。なお、図において同一部分には同一の記号を付し、詳細な説明は省略する。

【0058】図 4 に示すように、第一導電型半導体基板 1 にはこれと反対導電型のプレート電極となる不純物拡散層 22 が形成され、その上には下部バリア金属層 42、下部電極 43、誘電体薄膜 44、上部電極 45、上部バリア金属層 46 がエピタキシャル成長により積層している。上部電極 45 及び上部バリア金属層 46 はエピタキシャル成長している必要はない。上部バリア金属層 46 上には第一の絶縁膜 47 が積層され、以上の積層構造の側壁には第二の絶縁膜 48 が選択的に形成されている。

【0059】49 は単結晶 Si 層成長用ノード (シード部又は開口部。) であり、このノード 49 からは単結晶 Si 層 50 がエピタキシャル成長により上記キャパシタ積層構造に隣接して形成されている。この単結晶 Si 層 50 にはトランジスタが形成されている。51 は隣接するトランジスタ及び隣接するキャパシタ上部電極を電気的に分離する素子間分離絶縁膜である。

【0060】また、キャパシタの上部バリア金属層 46 上にはトランジスタへの接続のためのコンタクトプラグ 52 が絶縁膜 47 の開口部の中に埋め込まれている。このコンタクトプラグ 52 とトランジスタのソース/ドレイン電極 15 との間の電氣的接続はコンタクトプラグ 18c によって行われる。このコンタクトプラグ 18c の上には、ビット線 18b との間の絶縁のために絶縁膜 19c が形成されている。

【0061】以下、上記半導体記憶装置の製造工程を図 5 及び図 6 の製造工程順の模式断面図を使用して説明する。まず第 5 図(a) に示すように、第 1 導電型の Si (100) 基板 1 の表面に深さ 0.1μm 程度の不純物拡散層 22 を形成した後、下部バリア金属層 42 として膜厚 10nm の (Ti, Al) N、下部電極 43 として膜厚 20nm の SrR

10

20

30

40

50

13

uO₃、誘電体膜 4 4 として B a のモル分率 7 0 % で厚さ 20nm の B S T O 薄膜、上部電極 4 5 として厚さ 20nm の S r R u O₃ 膜、さらに上部バリア金属層 4 6 として膜厚 10nm の (T i , A l) N を、基板温度 600 °C で R F あるいは D C スパッタ法により大気中に出さずに連続してエピタキシャル成長し、さらに第一の絶縁膜 4 7 を T E O S ガスを原料としたプラズマ C V D 法等により形成した。

【0062】次に図 5 (b) に示すように、後に S i 活性領域を形成するための約 1 f × 5 f の面積の単結晶 S i 成長用ノード 4 9 をリソグラフィーおよび R I E などによるエッチングにより形成し、その上に第二の絶縁膜 4 8 をコンフォーマルに形成した。

【0063】次に、図 5 (c) に示すように、異方性 R I E により第二の絶縁膜を除去することにより、キャパシタ側壁部分に絶縁膜 4 8 をセルフアラインにより残した。次に、図 5 (d) に示すように、S i 表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングを行った後、そのまま真空中で C V D 室に搬送し、1mTorr の圧力の S i H₄ ガスとドナーとして加えた 0.1mTorr の A s H₃ ガスを使用して 750 °C で、単結晶 S i 成長用ノード 4 9 から選択エピタキシャル成長により単結晶 S i 層 5 0 を形成した。さらに、絶縁膜 4 7 及び 4 8 を停止層とし、CMP 法 (化学的機械的研磨法) により平坦化した。

【0064】次に図 6 (a) に示すように、フォトリソグラフィー法と R I E 法などのプラズマエッチング法を用いて、素子間分離部の絶縁膜 4 7、上部バリア金属層 4 6 および上部電極 4 5 を S i に対して選択的に除去し、素子間分離用溝を作成した。なお、このときに選択的湿式エッチングなどを併用しても良い。さらに、素子間分離用溝に絶縁膜を埋めこみ、CMP により平坦化し、素子間分離用絶縁膜 5 1 を形成した。

【0065】次に、図 6 (b) に示すように、フォトリソグラフィー法と R I E 法などのプラズマエッチング法を用いて、キャパシタ上部の絶縁膜 4 7 をエッチング除去し、キャパシタのコンタクト部 (開口部) を開口した。このときのエッチング条件としては、上部バリア金属層 4 6 または上部電極 4 5 のいずれかをストッパーとして用いて選択的にストップさせると良い。さらに、全面に例えば N⁺ 型不純物を含んだポリ S i 膜を約 200nm 程度の膜厚で堆積し、全面を CMP などの方法でエッチバックすることにより、上記開口部に N 型⁺ ポリ S i 層からなるコンタクトプラグ 5 2 を形成した。

【0066】次に図 6 (c) に示すように、公知のプロセスを使用して、不純物拡散層 1 5、ゲート酸化膜 1 6、ワード線 1 7 a、1 7 b からなるトランジスタ、及びビット線コンタクトプラグ 1 8 a、ビット線 1 8 b、コンタクトプラグ 1 8 c 等を形成した。

【0067】このような工程により、強誘電体膜を使用したキャパシタとトランジスタからなるメモリセルを容

14

易に高度に集積して作成することができ、また F R A M としての高性能な動作が確認された。

【0068】第 3 の実施形態

図 7 (a)-(c) は、本発明の第 3 の実施形態による半導体記憶装置の構成を示す図である。この図に示すように、本実施形態の装置は、全体のレイアウトにおいて第 1 の実施形態と同様であるが、平面構造の強誘電体キャパシタの代わりに立体構造の常誘電体キャパシタを作成した D R A M の例である。図 7 (a)-(c) はそれぞれ D R A M の平面図、A-A' 断面図、および B-B' 断面図である。なお、図において同一部分には同一の記号を付し、詳細な説明は省略する。

【0069】図 7 に示すように、第一導電型シリコン半導体基板 1 にはこれと反対導電型のプレート電極となる不純物拡散層 2 2 が形成される。また、半導体基板 1 には (100) 面で囲まれたトレンチが作成され、このトレンチ内にはエピタキシャル・キャパシタが作成されている。

【0070】エピタキシャル・キャパシタの構成は、トレンチ内に下部バリア金属層 7 2、下部電極 7 3、誘電体薄膜 7 4、上部電極 7 5 がエピタキシャル成長により積層している。上部電極 7 5 の上には上部バリア金属層が積層していてもよい。上部電極 7 5 及び上部バリア金属層はエピタキシャル成長している必要はない。上部電極 7 5 上には第一の絶縁膜 7 6 が形成されている。

【0071】7 7 は単結晶 S i 層成長用ノード (シード部又は開口部) であり、このノード 7 7 からは単結晶 S i 層 7 8 がエピタキシャル成長により上記キャパシタ積層構造上にわたって形成されている。この単結晶 S i 層 7 8 にはトランジスタが形成されている。7 9 は隣接するトランジスタ及び隣接するキャパシタ上部電極を電氣的に分離する素子間分離絶縁膜である。

【0072】また、絶縁膜 7 9 の両側にはトランジスタのソース/ドレイン電極とキャパシタの上部電極とを電氣的に接続するためのコンタクトプラグ 8 0 が形成されている。コンタクトプラグ 8 0 は絶縁膜 7 6 の開口部の中に埋め込まれている。

【0073】以下、上記半導体記憶装置の製造工程を図 8 及び図 9 の製造工程順の模式断面図を使用して説明する。まず図 8 (a) に示すように、第 1 導電型の Si (100) 基板 1 の表面に深さ 0.1 μm 程度の不純物拡散層 2 2 を形成した後、キャパシタ作成部の溝をパターンニングにより作成した。次に、M O C V D 法によりバリア金属層 7 2 として (T i , A l) N をコンフォーマルにエピタキシャル成長した。成膜温度は 1 0 0 0 °C、ソースガスとして、A l (C H₃)₃、T i (C₂ H₅)₂ および N H₃ を使用し、膜厚は 10nm とした。引き続き、M O C V D 法により下部電極 3 として S R O をコンフォーマルにエピタキシャル成長した。成膜温度は 8 0 0 °C、ソースガスとして、S r (T H D)₂ (T H D は 2, 2, 6, 6 T e t r a m e t h y l 1, 3, 5

10

20

30

40

50

Heptadionate)、Ru(C₅H₅)₂を使用し、酸化剤としてO₂を使用した。膜厚は20nmとした。

【0074】次に、Baのモル分率30%のBSTO薄膜4をMOCVD法によりコンフォーマルにピタキシャル成長した。成膜温度は800℃、ソースガスとして、Sr(THD)₂、Ba(THD)₂、TiO(THD)₂を使用し、膜厚は20nmとした。次に、MOCVD法により上部電極5としてSROをエピタキシャル成長させてトレンチ内を埋め込んだ。SROの成膜温度は800℃、ソースガスとして、Sr(THD)₂、Ru(C₅H₅)₂およびO₂を使用し膜厚は20nmとした。

【0075】次に、図8(b)に示すように、バリア金属層72である(Ti,Al)Nをストップ層として上部電極5を化学的機械的研磨法(CMP)により研磨し平坦化した。次に、図8(c)に示すように、選択的に上・下部電極層75、73および誘電体薄膜74をエッチバックした。エッチング法として選択的湿式エッチングを使用しても良いし、またRIEと湿式エッチングを併用しても良い。また、このときにキャパシタ端面におけるリーク電流を減少させるために、電極層を誘電体薄膜より深くエッチバックする方が好ましい。

【0076】次に、図8(d)に示すように、バリア金属層72も同様にエッチバックした後、第一の絶縁膜76をTEOSガスを原料としたプラズマCVD法等により形成した。さらに、CMP法によりSi面をストップとして使用して平坦化を行った。

【0077】次に、図9(a)に示すように、Si表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングを行った。このとき、Si表面は若干膜厚エッチングされ、エッチング後のSi表面は単結晶Si成長用ノード77となる。その後、上記基板をそのまま真空中でCVD室に搬送し、1mTorrの圧力のSiH₄ガスとドナーとして加えた0.1mTorrのAsH₃ガスを使用して750℃で、単結晶Si成長用ノード77から選択エピタキシャル成長により単結晶Si層78を形成した。次に、CMP法(化学的機械的研磨法)により平坦化した。

【0078】次に、図9(b)に示すように、パターンニングにより素子間分離部のSi層78に素子間分離用溝を作成した。次に、素子間分離用溝に絶縁膜を埋めこみ、CMPにより平坦化し、素子間分離用絶縁膜79を形成した。さらに、フォトリソグラフィ法とRIE法などのプラズマエッチング法を用いて、選択的にSi膜78をエッチング除去し、キャパシタのコンタクト部(開口部)を開口した。このときのエッチング条件として、上部電極75(上部バリア金属層を形成した場合は、上部電極75または上部バリア金属層のいずれか)をストップパーとして用いて選択的にストップさせると良い。次に、全面に例えばN⁺型不純物を含んだポリSi膜を約200nm程度の膜厚で堆積し、全面をCMPなどの方法でエッチバックすることにより、上記開口部にN⁺ポリS

i層からなるコンタクトプラグ80を形成した。

【0079】次に、図9(c)に示すように、公知のプロセスを使用して、不純物拡散層15、ゲート酸化膜16、ワード線17a、17bからなるトランジスタ、及びビット線コンタクトプラグ18a、ビット線18b等を形成した。

【0080】このような工程により、常誘電体膜を使用したキャパシタとトランジスタからなるメモリセルを容易に高度に集積して作成することができ、またDRAMとしての高性能な動作が確認された。

【0081】第4の実施形態

図10(a)-(c)は、本発明の第4の実施形態による半導体記憶装置の構成を示す図である。この図に示すように、本実施形態の装置は、全体のレイアウトにおいて第2の実施形態と同様であるが、平面構造の強誘電体キャパシタの代わりに立体構造の常誘電体キャパシタを作成したDRAMの例である。図10(a)-(c)はそれぞれDRAMの平面図、A-A'断面図、およびB-B'断面図である。なお、図において同一部分には同一の記号を付し、詳細な説明は省略する。

【0082】図10に示すように、第一導電型シリコン半導体基板1にはこれと反対導電型のプレート電極となる不純物拡散層22が形成される。また、半導体基板1には(100)面で囲まれたトレンチが作成され、このトレンチ内にはエピタキシャル・キャパシタが作成されている。

【0083】エピタキシャル・キャパシタの構成は、トレンチ内に下部バリア金属層102、下部電極103、誘電体薄膜104、上部電極105、上部バリア金属層106がエピタキシャル成長により積層している。上部電極105及び上部バリア金属層106はエピタキシャル成長している必要はない。かかる積層キャパシタの上には第一の絶縁膜107bが形成され、当該積層キャパシタの側壁には第二の絶縁膜108が選択的に形成されている。

【0084】109は単結晶Si層成長用ノード(シード部又は開口部。)であり、このノード109からは単結晶Si層110がエピタキシャル成長により上記キャパシタ積層構造に隣接して形成されている。この単結晶Si層110にはトランジスタが形成されている。112は隣接するトランジスタを電氣的に分離する素子間分離絶縁膜である。

【0085】また、絶縁膜108内には上部バリア金属層106上にトランジスタへの接続のためのコンタクトプラグ111が埋め込まれている。このコンタクトプラグ111とトランジスタのソース/ドレイン電極15との間の電氣的接続はコンタクトプラグ18cによって行われる。このコンタクトプラグ18cの上には、ビット線18bとの間の絶縁のために絶縁膜19cが形成されている。

17

【0086】以下、上記半導体記憶装置の製造工程を図11及び図12の製造工程順の模式断面図を使用して説明する。まず図11(a)に示すように、第1導電型のSi(100)基板1の表面に深さ0.1 μ m程度の不純物拡散層22を形成した後、約2f \times 2fの面積のキャパシタ作成部の溝をパターンニングにより作成した。次に、MOCVD法により下部バリア金属層102として(Ti, Al)Nをコンフォーマルにエピタキシャル成長した。成膜温度は1000 $^{\circ}$ C、ソースガスとして、Al(CH₃)₃、Ti(C₂H₅)₂およびNH₃を使用し、膜厚は10nmとした。引き続き、MOCVD法により下部電極103として、SROをコンフォーマルにエピタキシャル成長した。成膜温度は800 $^{\circ}$ C、ソースガスとして、Sr(THD)₂(THDは2,2,6,6Tetramethyl3,5Heptadionate)、Ru(C₅H₅)₂を使用し、酸化剤としてO₂を使用した。膜厚は20nmとした。

【0087】さらに、Baのモル分率30%のBSTO薄膜104をMOCVD法によりコンフォーマルにエピタキシャル成長した。成膜温度は800 $^{\circ}$ C、ソースガスとして、Sr(THD)₂、Ba(THD)₂、TiO(THD)₂を使用し、膜厚は20nmとした。次に、MOCVD法により上部電極105としてSROをエピタキシャル成長した。SROの成膜温度は800 $^{\circ}$ C、ソースガスとして、Sr(THD)₂、Ru(C₅H₅)₂およびO₂を使用し膜厚は20nmとした。次に、MOCVD法により上部バリア金属層106として(Ti, Al)Nをコンフォーマルにエピタキシャル成長した。成膜温度は1000 $^{\circ}$ C、ソースガスとして、Al(CH₃)₃、Ti(C₂H₅)₂およびNH₃を使用し、膜厚は10nmとした。

【0088】次に、図11(b)に示すように、全面に絶縁膜107aをTEOSガスを原料としたプラズマCVD法等により形成した。さらに、CMP法によりSi面をストップパとして使用して、絶縁膜107a、上・下部バリア金属層106、102上・下部電極層105、103および誘電体薄膜104を除去して平坦化を行った。

【0089】さらに、図11(c)に示すように、上・下部バリア金属層106、102、上・下部電極層105、103、および誘電体薄膜104を端面からエッチバックした。エッチング法として選択的湿式エッチングを使用しても良いし、またRIEと湿式エッチングを併用しても良い。また、このときにキャパシタ端面におけるリーク電流を減少させるために、電極層を誘電体薄膜より深くエッチバックする方が好ましい。次に、エッチバックした端面部分に第一の絶縁膜107bをTEOSガスを原料としたプラズマCVD法等により形成した。さらに、CMP法によりSi面をストップパとして使用して平坦化を行った。

【0090】次に、図11(d)に示すように、フォトリソグラフィ法とRIE法などのプラズマエッチング法を用いて、選択的にSi膜をエッチング除去し、単結晶

18

Si成長用ノード109およびキャパシタのコンタクト部(上部バリア金属層106の表面部)を開口し、その上に第二の絶縁膜108をコンフォーマルに形成した。

【0091】次に図12(a)に示すように、異方性RIEにより第二の絶縁膜108を除去することにより、キャパシタ側壁部分に絶縁膜108をセルフアラインにより残した。さらに、Si表面の損傷層を取り除くため、フッ化水素蒸気を使用したエッチングを行った後、そのまま真空中でCVD室に搬送し、1mTorrの圧力のSiH₄ガスとドナーとして加えた0.1mTorrのAsH₃ガスを使用して750 $^{\circ}$ Cで、単結晶Si成長用ノード109から選択エピタキシャル成長により単結晶Si層110を形成した。次に、条件を変えてコンフォーマルに成長させ、キャパシタのコンタクトホール内に多結晶シリコン層からなるコンタクトプラグ膜を形成した。さらに、CMP法(化学的機械的研磨法)により平坦化を行い、上記コンタクトホール内に選択的にコンタクトプラグ111を埋め込んだ。

【0092】次に、図12(b)に示すように、パターンニングにより素子間分離部のSi層に素子間分離用溝を作成した。次に、素子間分離用溝に絶縁膜を埋めこみ、CMPにより平坦化し、素子間分離用絶縁膜112を形成した。

【0093】次に図12(c)に示すように、公知のプロセスを使用して、不純物拡散層15、ゲート酸化膜16、ワード線17a、17bからなるトランジスタ、及びビット線コンタクトプラグ18a、ビット線18b、コンタクトプラグ18c等を形成した。

【0094】このような工程により、常誘電体膜を使用したキャパシタとトランジスタからなるメモリセルを容易に高度に集積して作成することができ、またDRAMとしての高性能な動作が確認された。

【0095】なお、本発明は上記した実施形態に限定されることはない。例えば、単結晶半導体層を成長させる際のシードとなる部分は、その形状及び範囲を適宜設定することが可能である。ワード線と平行となるように帯状に形成することも可能である。

【0096】また、半導体基板としては、シリコンからなる基板に限らず、ゲルマニウムを含んだシリコンゲルマニウムからなる基板や、化合物半導体からなる基板等を用いることが可能である。またSOI基板を用いることもできる。

【0097】さらにまた、平面型のFRAM、トレンチ型のDRAMに限らず、平面型のDRAMを作成することもできるし、トレンチ型のFRAMを作成することもできる。その他、本発明の趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【0098】

【発明の効果】以上詳述したように本発明によれば、半導体基板上にエピタキシャルキャパシタとトランジスタ

19

を高密度に集積したメモリセルが作成可能であり、超高集積化したDRAMやFRAMの実現が可能となり、本発明の工業的価値は極めて大きい。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態の FRAM メモリセルの平面図および断面図。

【図 2】 本発明の第 1 の実施形態の FRAM メモリセルの工程断面図。

【図 3】 本発明の第 1 の実施形態の FRAM メモリセルの工程断面図。

【図 4】 本発明の第 2 の実施形態の FRAM メモリセルの平面図および断面図。

【図 5】 本発明の第 2 の実施形態の FRAM メモリセルの工程断面図。

【図 6】 本発明の第 2 の実施形態の FRAM メモリセルの工程断面図。

【図 7】 本発明の第 3 の実施形態の DRAM メモリセルの平面図および断面図。

【図 8】 本発明の第 3 の実施形態の DRAM メモリセルの工程断面図。

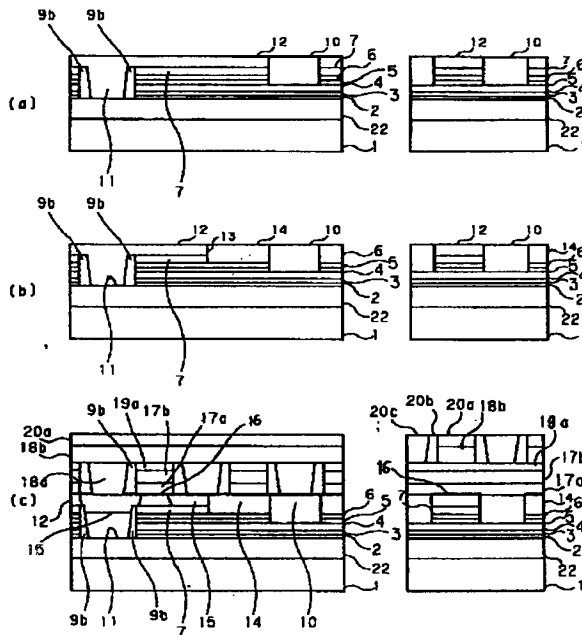
【図 9】 本発明の第 3 の実施形態の DRAM メモリセルの工程断面図。

【図 10】 本発明の第 4 の実施形態の DRAM メモリセルの平面図および断面図。

【図 11】 本発明の第 4 の実施形態の DRAM メモリセルの工程断面図。

【図 12】 本発明の第 4 の実施形態の DRAM メモリ *

【図 3】



20

*セルの工程断面図。

【符号の説明】

1…第一導電型半導体基板

2…下部バリア金属層

3…下部電極

4…誘電体薄膜

5…上部電極

6…上部バリア金属層

7…第一の絶縁膜

8…第二の絶縁膜

9a…素子間分離絶縁膜形成部の第二の絶縁膜

9b…単結晶Si成長用ノード11の側壁部分の第二の絶縁膜

10…素子間分離絶縁膜

11…単結晶Si層成長用ノード

12…単結晶Si層

13…接続孔

14…コンタクトプラグ

15…ソース/ドレイン電極

16…ゲート絶縁

17a、17b…ワード線

18a…ビット線コンタクトプラグ

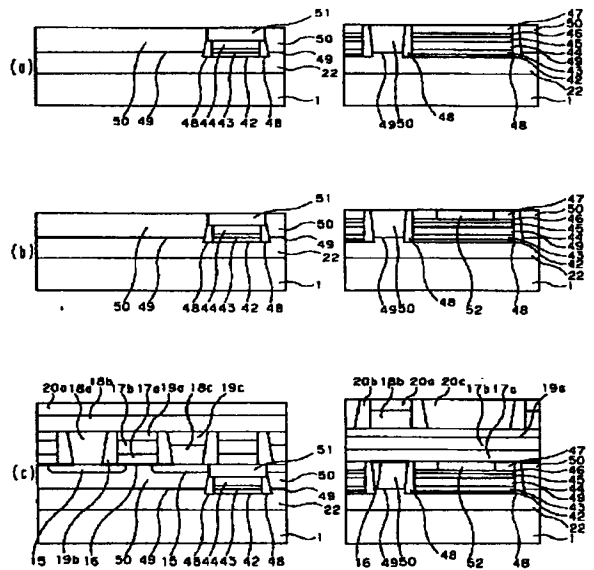
18b…ビット線

19a、19b、19c…絶縁膜

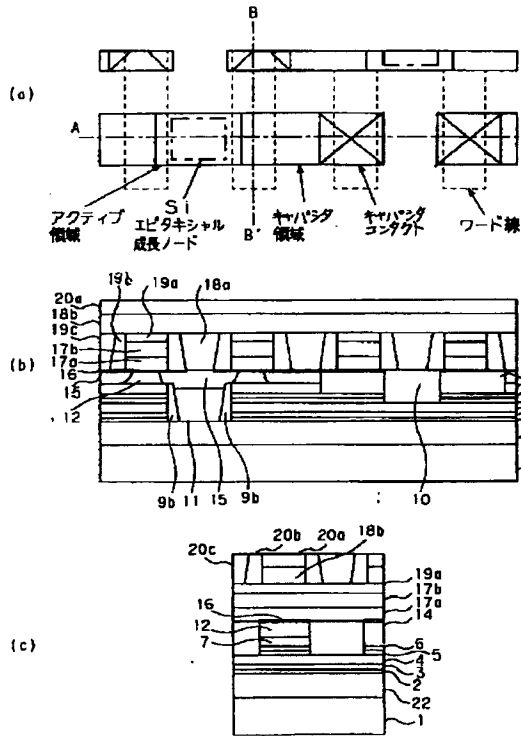
20a、20b、20c…絶縁膜

22…不純物拡散層

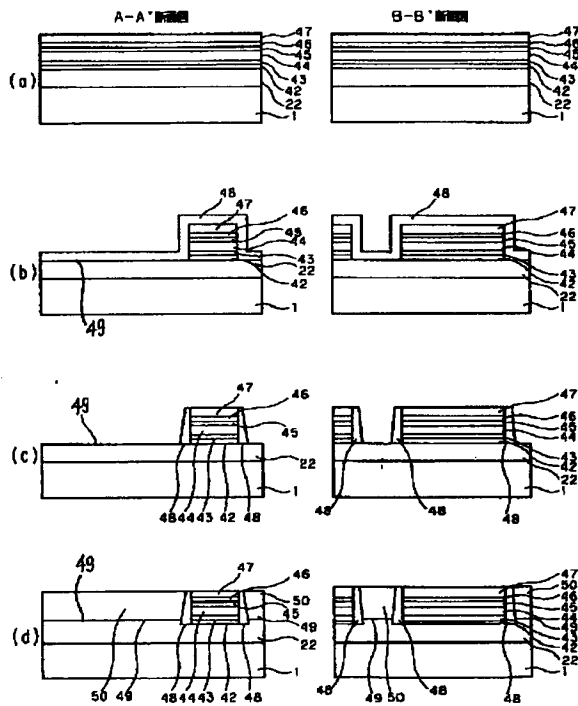
【図 6】



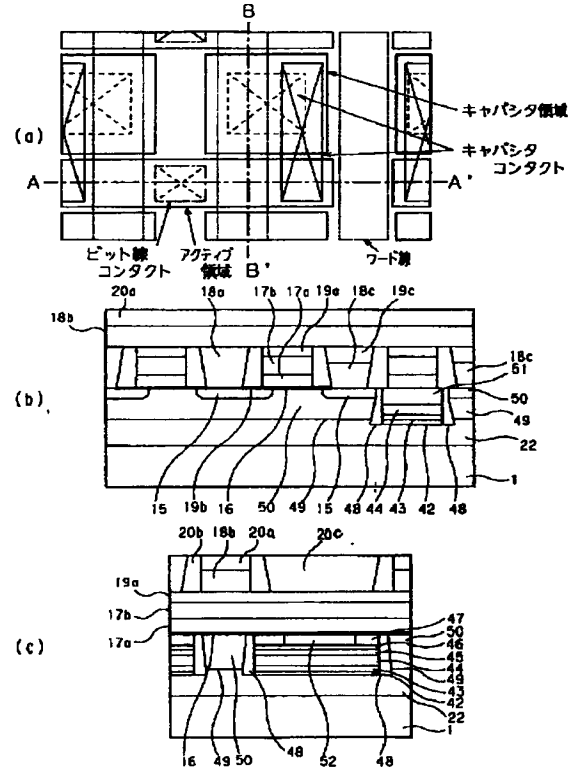
【図 1】



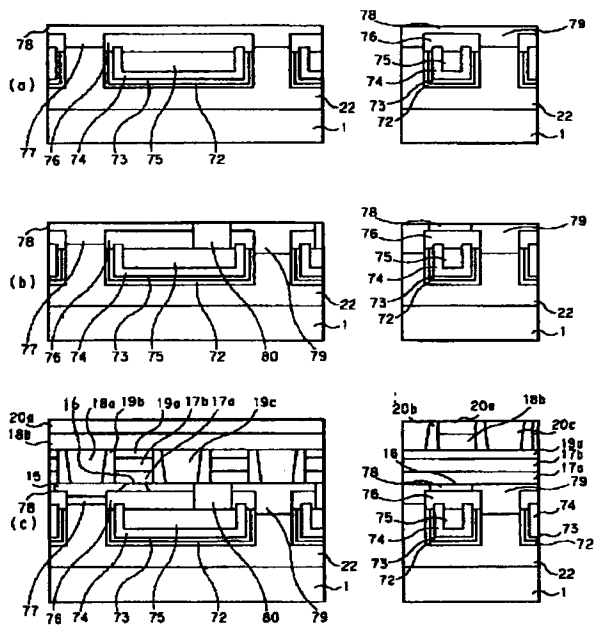
【図 5】



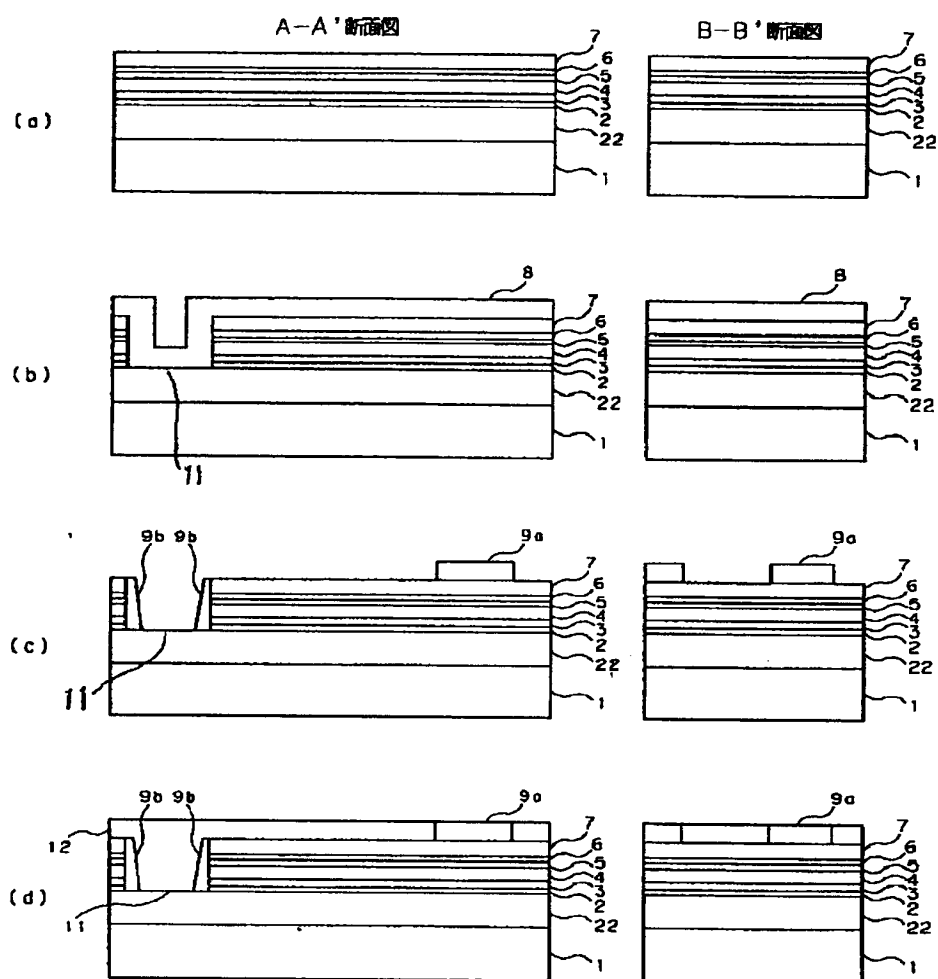
【図 4】



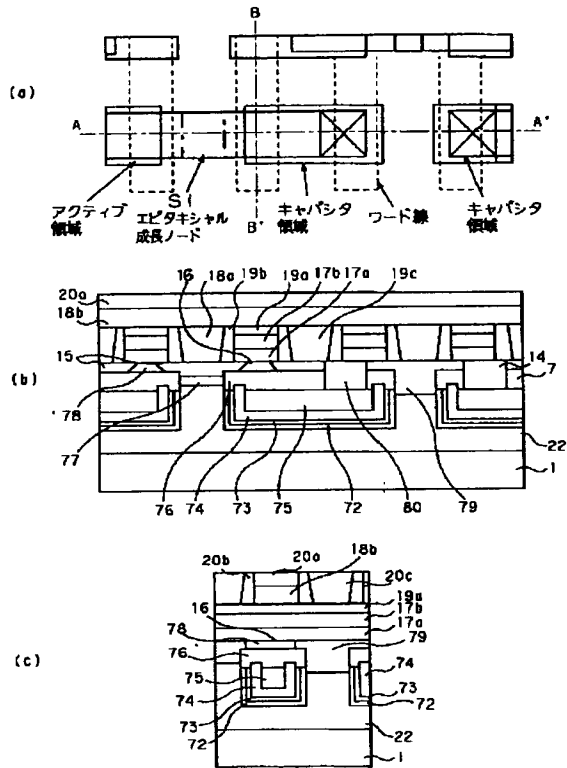
【図 9】



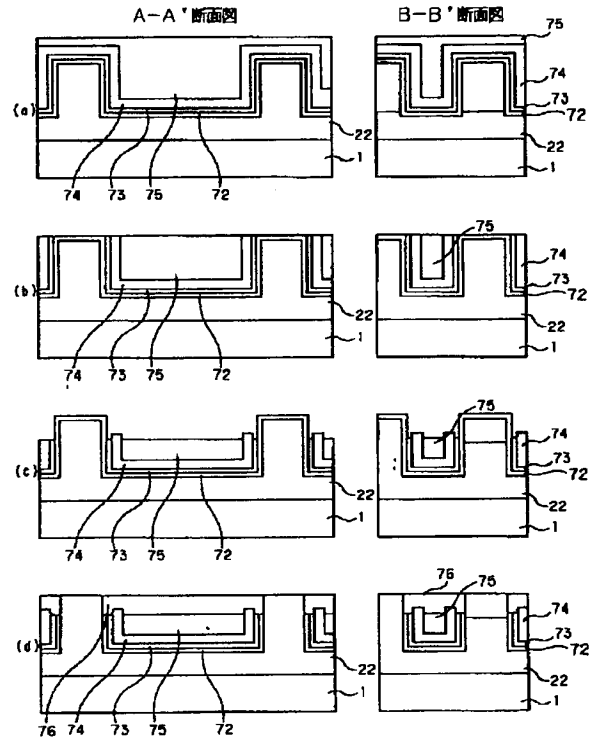
【図 2】



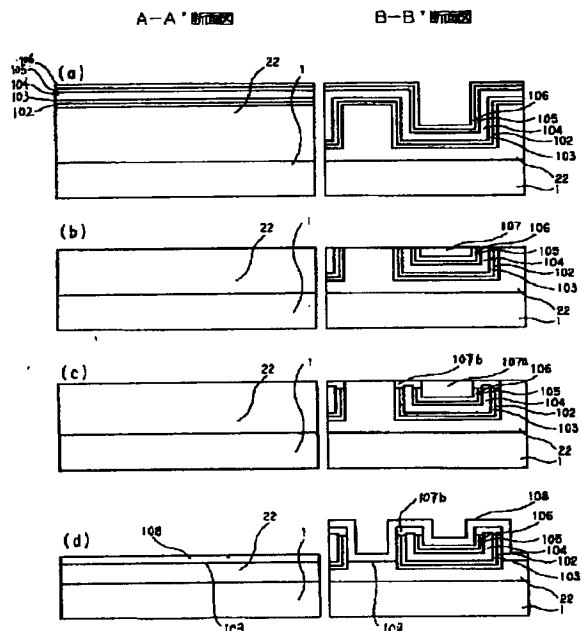
【図 7】



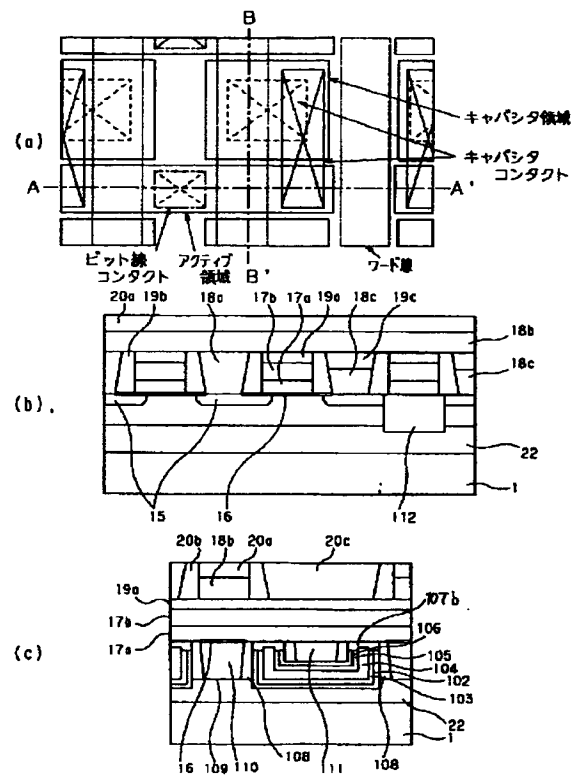
【図 8】



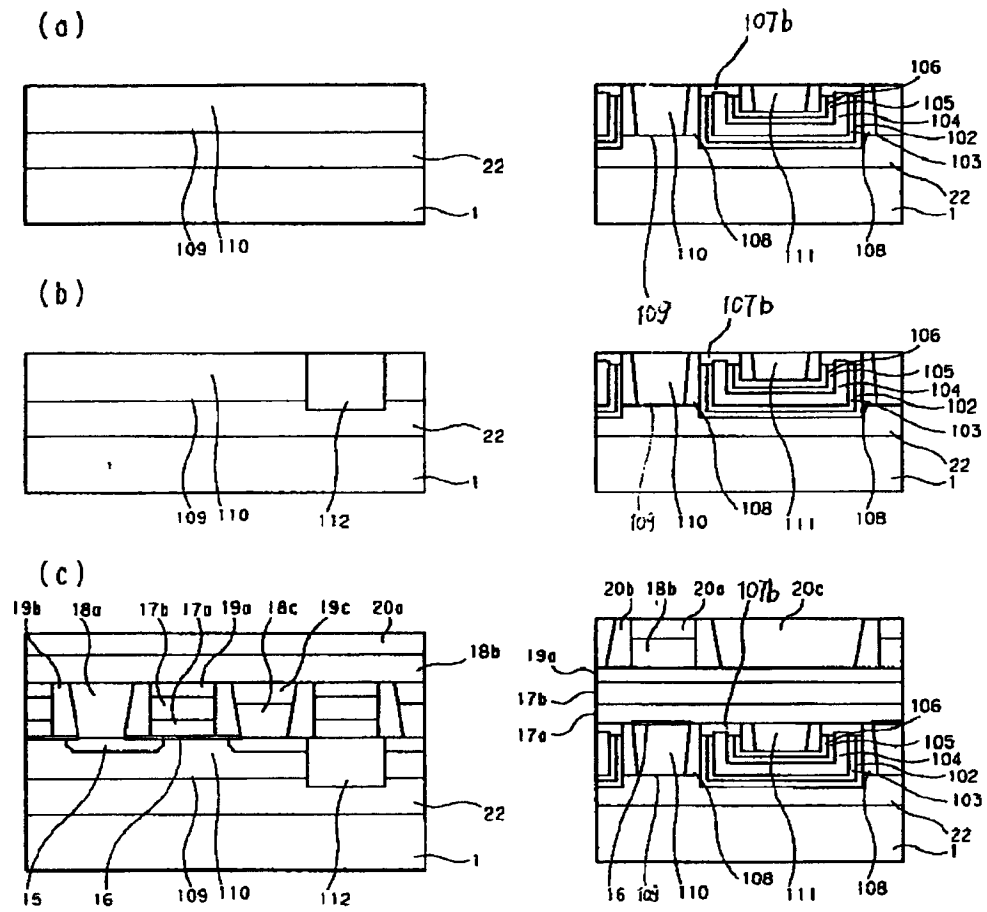
【図 11】



【図 10】



【図 1 2】



フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/792